

PATENT ABSTRACTS OF JAPAN(11)Publication number : **05-198926**(43)Date of publication of application : **06.08.1993**

(51)Int.Cl.

H05K 3/20
B28B 7/28(21)Application number : **04-229742**(71)Applicant : **HUGHES AIRCRAFT CO**(22)Date of filing : **28.08.1992**(72)Inventor : **CRUMLY WILLIAM R**
SCHREIBER CHRISTOPHER M
SWARBRICK DAVID B

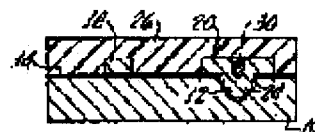
(30)Priority

Priority number : **91 753400** Priority date : **30.08.1991** Priority country : **US****(54) SEMI-ADDITIVE CIRCUIT WITH BUMP USING MOLDING MANDREL**

(57)Abstract:

PURPOSE: To manufacture an electric circuit with a bump by using a semi- additive processing method, together with a simple mandrel which is readily formed.

CONSTITUTION: Since a mandrel 10, which has been improved so as to be manufactured quickly is used, permanently fixed Teflon(R) or other nonconductive patterns are not required. The mandrel 10 having one or more recesses 12 is formed. Then, the mandrel 10 and the recesses 12 are converted by a conducting material. The pattern of a circuit trace 18 is additively formed on a covered material 14 and in the recesses 12. Then, a dielectric substrate is laminated for the trace 18 and the recesses 12. The trace 18, the above described substrate and the covered material 14 are removed from the mandrel 10. At the stage of additive formation, a bump 24, which protrudes from the plane of the circuit trace 18, is formed. Thus, an electric circuit having the bump can be manufactured.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-198926

(43)公開日 平成5年(1993)8月6日

(51)Int. CL ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 5 K 3/20		B 7611-4E		
B 2 8 B 7/28		7351-4G		

審査請求 有 請求項の数10(全 5 頁)

(21)出願番号 特願平4-229742

(22)出願日 平成4年(1992)8月28日

(31)優先権主張番号 7 5 3 4 0 0

(32)優先日 1991年8月30日

(33)優先権主張国 米国 (U S)

(71)出願人 390039147

ヒューズ・エアクラフト・カンパニー

HUGHES AIRCRAFT COM
PANY

アメリカ合衆国、カリフォルニア州

90045-0066, ロサンゼルス, ヒューズ・
ナラス 7200

(72)発明者 ウィリアム・アール・クラムリー

アメリカ合衆国、カリフォルニア州

92807, アナハイム, ノース・エモージ
ン・ストリート 1280

(74)代理人 弁理士 鈴江 武彦

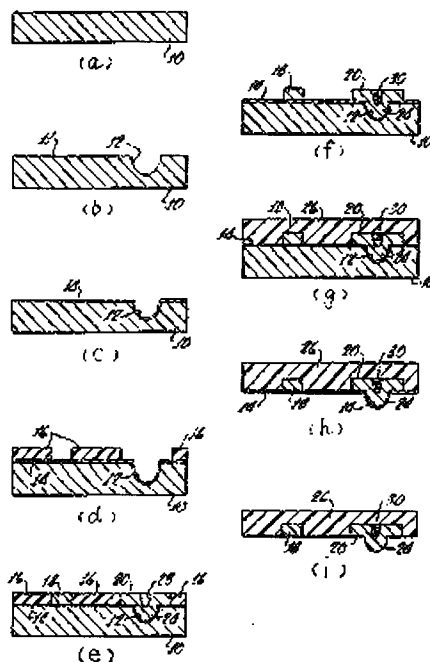
最終頁に続く

(54)【発明の名称】 成形されたマンドレルを使用する隆起部分を有するセミアディティブ回路

(57)【要約】

【目的】 本発明は、隆起部分を有する多層回路をマンドレルを使用して製造するための簡単で安価、迅速に製作することのできるマンドレルを提供することを目的とする。

【構成】 1つ以上の窪み12を有するマンドレル10を形成し、フラッシュ鍍金によって導電材料14をこのマンドレル10および窪み12に被覆し、回路トレース18、20のパターンをフォトリソistパターン16を利用して窪み12を含む被覆物14上にアディティブに形成し、フォトリソistパターン16を除去した後、誘電体基体26をトレース18および20に対して積層し、トレース18、基体26、および被覆物14をマンドレル10から除去して回路トレース20の平面から突出する隆起部分24を有する回路トレース20を形成することを特徴とする。



(2)

特開平5-198926

1

2

【特許請求の範囲】

【請求項1】 1つ以上の窪みを有するマンドレルを形成し、

導電材料によって前記マンドレルおよび窪みを被覆し、回路トレースのパターンを前記被覆物上および前記窪み中にアディティブに形成し、

誘電体基体を前記トレースおよび窪みに対して積層し、前記トレース、基体、および被覆物を前記マンドレルから除去する段階を含み、

前記アディティブに形成する段階では前記回路トレースの平面から突出する隆起部分を形成することを特徴とする隆起部分を有する多層回路の製造方法。

【請求項2】 前記回路トレースのパターンをアディティブに形成する段階では、レジストパターンを前記被覆物に供給し、前記マンドレル上の導電材料および前記レジストパターンの素子間の被覆物を電鍍する請求項1記載の方法。

【請求項3】 前記マンドレルを被覆する段階はフラッシュ鍍金を含み、前記アディティブに形成する段階は電気鍍金を含み、前記トレースおよび基体が前記マンドレルから除去された後に前記被覆物を除去する請求項2記載の方法。

【請求項4】 前記被覆物を除去する段階において前記回路トレースの保護のために停止被覆物を前記回路トレースの前記パターンに供給する段階を含む請求項3記載の方法。

【請求項5】 成形表面を有する本体と、マンドレル上に形成される回路の隆起部分を形成するように形成され配置された前記表面の窪みと、前記表面から容易に分離できる前記成形表面および窪み上の導電被覆物とを具備していることを特徴とする導着によって隆起部分を有する多層回路を形成するマンドレル。

【請求項6】 前記被覆物上に形成された非導電材料のパターンを含む請求項5記載のマンドレル。

【請求項7】 前記窪み中に延在する部分を有する回路トレースのパターンが前記被覆物上に電着され、前記成形表面に接触しない接着剤によって非導電基体に対して積層にされるようにするための回路トレースのパターンの負の形態を有するパターンを前記被覆物上のフォトレジストを含む請求項5記載のマンドレル。

【請求項8】 成形表面および隆起部分を有するマンドレルを形成し、

導電被覆物を前記表面および隆起部分に供給し、

回路トレースのパターンを前記被覆物上にアディティブに形成し、

前記隆起部分上に導電材料の隆起部分をアディティブに付着させ、

基体を前記回路トレースおよび導電材料の隆起部分に接着して固定し、

前記基体、回路トレース、導電材料の隆起部分、および被覆物を前記マンドレルから除去し、

前記トレース、導電材料の隆起部分、および基体から前記被覆物を除去する段階を含む隆起部分を有することを特徴とする多層電気回路の製造方法。

【請求項9】 前記マンドレルは前記導電材料の隆起部分を形成するように成形された窪みを含み、前記被覆物を供給する段階では被覆物を前記窪みに供給し、前記回路トレースのパターンを形成する段階では前記窪み中に前記トレースの1部分を形成する請求項8記載の方法。

【請求項10】 前記トレースのパターンを形成する段階では導電材料のパターンを前記被覆物上に電着する請求項8記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電気回路の製造に関する。特にマンドレルを使用する回路の製造および隆起部分を有する回路を構成するセミアディティブ処理方法に関する。

【0002】

【従来の技術】本発明の発明者であるWilliam R. Crumly氏およびChristopher M. Schreiber氏と、Haim Feigenbaum氏とによる1990年9月11日の米国特許出願07/589,758号明細書において、一体の隆起部分を有する電気回路の完全アディティブ形成の技術が記載されている。一般に、この従来の米国特許出願明細書に記載された方法はステンレスマンドレルの使用を含み、マンドレル中に下向きに、或いはマンドレル表面から直立して突出する隆起部分を形成される。製造される回路の負の形態をとる溝のパターンはマンドレルの表面に形成され、テフロンまたは他の非導電材料で充填され、回路トレースの所望のパターンはテフロン区域間のマンドレル表面上および窪みまたは3次元マンドレル部分のポスト上に電着される。回路トレースを限定するためにマンドレル内の溝に埋設されるテフロンを使用することによって形成可能な回路の最小寸法を制限し、回路トレースは電気鍍金によってアディティブに形成されるので、鍍金された材料は表面上に垂直に鍍金されると同時に両側に横方向に鍍金される。したがって、例えば1ミルの厚さおよび4ミルの幅のトレースを得るために、マンドレルの導電パターンライン幅はたった2ミルでよい。なぜなら、厚さが1ミルの鍍金はまた両側にそれぞれ1ミル外側に鍍金されるからである。したがって、非常に精密な回路トレースラインの製造が制限される。

【0003】

【発明が解決しようとする課題】テフロンパターンが溝ではなくステンレスマンドレルの表面に付着されるならば、より精密な回路トレース部分および幅を得ることができるが、ステンレスマンドレル表面に対するテフロンの満足な接着を行うためにマンドレル表面を処理すると

(3)

特開平5-198926

3

きに困難な問題に遭遇する。

【0004】上記関係する米国特許出願明細書に記載された完全アディティブ技術は多くの利点を有する。マンドレルの構成後は別の印刷または写真動作を行う必要がない。回路トレースと隆起部分との全ての一致が完了されると、それ以降一致問題は存在しない。さらに、フォトリソグラフ処理は存在せず、回路の製造のための完成されたマンドレルの使用によって手作業による多くの労力は省かれる。それにもかかわらず、マンドレル自身が製造するのに比較的複雑で、高価であり、時間がかかるので、第1のプロトタイプおよび製造アイテムの急速な製造が必須でない比較的長い製造ランの場合に最大な効用が認められる。したがって、隆起部分を有する回路を製造する完全にアディティブなマンドレルは始めの製造時間があまり重要ではない長い製造ランの場合には最も有用であるが、そのようなマンドレルは第1のプロトタイプが短時間で利用できなければならない少量の隆起部分回路の製造の場合には容易に適用できない。

【0005】したがって、本発明の目的は上述の問題を回避或いは最小にする方法によって隆起部分を有する電気回路を製造することである。

【0006】

【課題を解決するための手段】本発明の好ましい実施例にしたがって本発明の原理を實行すると、容易に形成される単純なマンドレルが用いられ、完全アディティブ技術ではなくセミアディティブ処理法が隆起部分を有する回路を構成するためにマンドレルと共に使用される。導電性のマンドレルはディンプルまたは窪みのパターンを設けられ、導電材料の非常に薄い被覆物によって被覆される。その後、レジストパターンが被覆物上に形成され、回路トレースがマンドレル上に電鍍され、同時にマンドレル窪みの隆起部分を形成する。レジストの除去後、該電体および接着剤層は電鍍された回路および隆起部分に接着され、隆起部分を有する該電体および回路の積層物はマンドレルから除去され、被覆物の除去およびカバーレイ層の被覆の準備ができる。

【0007】

【実施例】本発明の原理によると、迅速に製造されることができる改良されたマンドレルが使用され、永久的に固定されたテフロンまたは他の非導電パターンを必要としない。したがって、マンドレルは製造するのに簡単に速く製作することができ、さらに耐久性に優れている。

【0008】図1の(a)に示されているように、ステンレス板10は単一または複数の窪みまたはディンプル12を設けられる形成表面11を有するマンドレルを形成し、図1の(b)に示されているように生成された回路の隆起部分を限定する。

【0009】図1の(c)に示されているように、マンドレルおよびその窪みは銅被覆物14で被覆され、典型的に窪みの表面を含めてマンドレルの表面全体を被覆する

4

フラッシュ鍍金と呼ばれている方法が使用される。フラッシュ鍍金された銅は電鍍または他の既知の技術によって与えられてもよく、接着剤(回路基体を積層するために使用される)がマンドレル表面に接着することを阻止する薄い導電被覆物を形成する。フラッシュ鍍金は非常に短いまたは瞬間的な動作によって構成された通常の電解鍍金であり、非常に薄い鍍金被覆物だけが形成される。フラッシュ鍍金被覆物は形成された電気回路トレースの厚さに比較して非常に薄い。例えば、1.5ミルの厚さの回路トレースでは、マンドレル上の銅のフラッシュ鍍金は0.01乃至0.2ミルの厚さを有する。薄いフラッシュ鍍金はステンレスマンドレルから比較的容易に剥がすことができるために使用され、さらに非常に短時間または瞬間的なエッチング法であるフラッシュエッチングによってマンドレルから分離した後に積層物から容易に除去されることができる。マンドレルから容易に分離でき、完成された回路トレースから容易に除去できる導電材料の非常に薄い被覆物でマンドレルを被覆する他の方法は電解フラッシュ鍍金に代って用いられることができることは明らかである。そのような方法はスパッタリング、蒸着、および無電解鍍金を含むことができる。必要或いは所望ならば、マンドレルは非導電材料から構成されることができる。なぜなら、薄い導電被覆物自身が回路トレースおよび隆起部分のアディティブ電気鍍金を可能にするからである。誘電体マンドレルに対する被覆物は無電解鍍金、スパッタリングまたは付加的な溶解中の導電粒子によって供給されることができる。テフロンのような非導電材料のパターンはマンドレルに永久的に固定されない。実際、フラッシュ鍍金された銅は所望の回路のパターンを限定するマスクによって光学的に露出されて現像されるフォトリソによって被覆される。重合されていないフォトリソは図1の(d)に示された形態をとる部分的に完成したアセンブリを残すように除去される。図示のように、フラッシュ鍍金銅被覆物14はこのマンドレルによって製造される回路トレースパターンの負のパターンであるフォトリソのパターン16を支持する。

【0010】図1の(d)のマンドレルアセンブリは適切なアディティブ電鍍方法、例えば図1の(e)に示すようなトレース18および窪み12の隆起部分24を含む隆起部分パッド20を含む銅トレースを鍍金する電気鍍金処理を受ける。銅トレースは現像されたフォトリソ16の負のパターンによって被覆されないフラッシュ鍍金銅被覆物14の部分上に直接鍍金される。したがって、鍍金処理は回路トレースおよび隆起部分の両方を同時に形成する。隆起部分24は窪み29[図1の(e)]を有して部分的に中空である。必要或いは所望ならば、電気鍍金隆起部分24に形成された窪み29は窪みにエポキシの一滴を注ぎエポキシを硬化させることにより固体材料30[図1の(f)]で充填されることができる。

(4)

特開平5-198926

5

【0011】フォトリソレジスト16は図1の（f）に示されているようにまだマンドレルにある回路トレースおよび隆起部分18,20,24をフラッシュ鍍金銅被覆物上に残すように剥離される。適切な誘電体および接着剤の層、例えばカプトンおよび接着剤の層26は適当な温度および圧力下でトレースおよび回路部分を有するマンドレルに積層にされる。これはカプトンおよび接着剤をトレース間に流動させ、トレースおよびパッドは3つの側に接するようにする。マンドレルのフラッシュ鍍金銅と直接接しているトレースおよびパッドの側面のみが接着剤およびカプトン基体26によって接触されない。

【0012】マンドレル10、フラッシュ鍍金銅14、トレース、パッド、および隆起部分18,20,24、およびカプトンおよび接着剤基体26を含むアセンブリが図1の（g）に示されている。

【0013】図1の（g）の回路アセンブリはその後マンドレルから除去される。フラッシュ鍍金銅だけがマンドレルと接触するので、これは容易に分離されることができ、基体26の接着剤はマンドレルと接触していない。したがって、マンドレルが初めにフラッシュ鍍金銅14の保護層によって被覆されているために、誘電体および接着剤基体、回路トレース、および隆起部分のアセンブリはフラッシュ鍍金銅被覆物と共に容易にマンドレルから除去されることができると認められる。この分離されたサブアセンブリは図1の（h）に示されているようにマンドレルから除去される。

【0014】図1の（i）に示されているように、図1の（h）のアセンブリの層表面全体を被覆するフラッシュ鍍金銅被覆物は図1の（i）の完成された或いは実質上完成されたサブアセンブリを与えるためにフラッシュエッチング法によって除去される。図1の（i）のサブアセンブリは導電トレースを支持するサブアセンブリの少なくとも側部を絶縁カバレイによって被覆するための標準処理を含むカバレイ積層の準備ができる。

【0015】必要または所望ならば、フラッシュ鍍金された銅被覆物の除去は金の「停止」層によって制御されることができ、それはフラッシュ鍍金された銅のフラッシュエッチング除去中に厚い銅の回路を保護する。この

6

ために、図1の（d）に示されているように決まった場所にフォトリソグラフィ的に限定されたレジストパターン16を有するフラッシュ被覆マンドレルは厚さが約0.0006インチの金の薄い層を鍍金されることができ、その上に回路18,20が鍍金される。このパターン化された金の「停止」層はフラッシュエッチングによってフラッシュ鍍金銅を誘電体から除去することが可能であり、しかも銅の回路を保護する。

【0016】隆起部分を有する回路を形成する上述のセミアディティブ法は上記関係する米国特許出願明細書に記載された完全アディティブ法に勝る多くの利点を有する。テフロンまたは他の非導電材料の永久的被覆物を設ける面倒な処理をする必要がないので、フラッシュ鍍金されたマンドレルの製造はより簡単で、安価で、顕著に速い。したがって、そのようなマンドレルは異なるパターンの回路トレースの製造のために異なる形態で容易に形成されることができ、マンドレルの簡単にされた製造は回路の製造に対してマンドレルの迅速な利用をもたらすので、ここに記載されるセミアディティブ法を用いて形成されたマンドレルは1日で形成されることができ、その次の日に部品を構成するのに利用できるが、部品は上記米国特許出願明細書に記載された完全アディティブ法にしたがって形成されたマンドレルからほぼ直ぐに利用することはできない。さらに、フラッシュ鍍金マンドレルの形成の簡単さおよび低コストにより、かなり安価であり、小さい製造ランに使用されるために経済的に適している。

【0017】ここに説明した回路製造方法は電気鍍金するのにより堅牢で簡単なマンドレルを伴い、しかも回路パターンおよび一体の隆起部分を生成するために電気鍍金のようなアディティブ技術を主として用いることが認められる。

【図面の簡単な説明】

【図1】本発明の原理を用いる多層回路の製造の複数の段階を示す断面図。

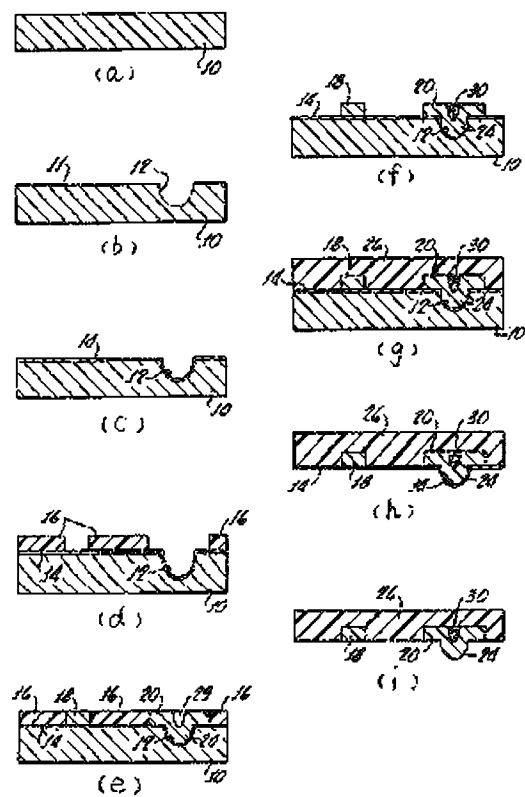
【符号の説明】

10…マンドレル、11…形成表面、12…窪み、14…被覆物、16…パターン、18…トレース、24…隆起部分。

(5)

特開平5-198926

【図1】



 フロントページの続き

(72)発明者 クリストファー・エム・シュレイバー
 アメリカ合衆国、カリフォルニア州
 92660、ニューポート・ビーチ、バレンシ
 ア 1543

(72)発明者 デビッド・ビー・スワーブリック
 アメリカ合衆国、カリフォルニア州
 92630、エル・トロ、ピア・バード 25373